

© EPODOC / EPO

PN - JP10276219 A 19981013  
TI - VARIABLE LENGTH FRAME CONSTANT LENGTH CELL  
CONVERSION CIRCUIT  
FI - H04L11/20&B ; H04L11/20&E ; H04L11/20&102Z ; H04Q3/00  
PA - NIPPON ELECTRIC ENG  
IN - OGURA YOSHIFUMI  
AP - JP19970081118 19970331  
PR - JP19970081118 19970331  
DT - I

© WPI / DERWENT

AN - 1998-605600 [51]

TI - Converting circuit for changing variable length frame into fixed length cell or vice-versa - has transducers which respectively convert variable length frame and fixed length frame, transmitted from frame relay circuit and ATM circuit, into fixed length frame and variable length frame

AB - J10276219 The circuit is connected between a frame relay circuit (20) and an ATM circuit (30) which transmit a variable length frame and a fixed length frame, respectively. It includes header analysing circuits (2,12) which analyse a header and store it in the corresponding buffer (3,13) according to the data included in the transmitted variable length frame and fixed length cell. The predetermined frame header is added to the variable length frame when receiving the data of the variable length frame with identical direction addresses such that the length of the variable length frame data is shorter than the data length of the fixed length frame.

- Transducers (6,12) convert the format of the variable length frame and fixed length cell into fixed length cell and variable length frame, respectively. The converted variable length frame and fixed length cell are respectively received by the frame relay circuit and ATM circuit after the format conversion.

- ADVANTAGE - Reduces generation of empty area in ATM circuit when converting variable length frame into ATM cell.

(Dwg.1/5)

IW - CONVERT CIRCUIT CHANGE VARIABLE LENGTH FRAME FIX LENGTH CELL VICE-VERSA TRANSDUCER RESPECTIVE CONVERT VARIABLE LENGTH FRAME FIX LENGTH FRAME TRANSMIT FRAME RELAY CIRCUIT ATM CIRCUIT FIX LENGTH FRAME VARIABLE LENGTH FRAME

AW - ASYNCHRONOUS TRANSFER MODE

PN - JP10276219 A 19981013 DW199851 H04L12/28 007pp

IC - H04L12/28 ;H04L12/56 ;H04L12/66 ;H04Q3/00

MC - W01-A03B1 W01-A06G2 W01-A06G3

DC - W01

PA - (NIDE ) NIPPON DENKI ENG KK

AP - JP19970081118 19970331

PR - JP19970081118 19970331

© PAJ / JPO

PN - JP10276219 A 19981013

TI - VARIABLE LENGTH FRAME CONSTANT LENGTH CELL  
CONVERSION CIRCUIT

AB PROBLEM TO BE SOLVED: To improve the channel utilizing efficiency in an ATM channel being an output destination even under an input condition that consecutive constant length cells with lots of idle areas are formed in the case of converting lots of variable length frames with a short length.

SOLUTION: A header analysis section 2 analyzes a header of data of a variable length frame received from a frame relay channel 20 and stores sequentially data to destination dependent buffers 3 in a same transmission direction, and a frame/cell conversion section 6 converts stored data into an ATM cell and it is sent to an ATM channel 30 when the data reach a prescribed storage amount (e.g. 48 bytes for one cell) or over. In the case that data stored in each destination dependent buffer 3 are pluralities of variable length frames, the stored data are extracted, linked and formed into a variable length linked frame with a link frame header added thereto, converted into ATM cells while being divided based on a constant length cell format so as to reduce idle areas of the constant length cells and the resulting ATM cells are sent to the ATM channel 30.

I	-	H04L12/28 ;H04L12/66 ;H04L12/56 ;H04Q3/00
PA	-	NEC ENG LTD
IN	-	OGURA YOSHIFUMI
ABD	-	19990129
ABV	-	199901
AP	-	JP19970081118 19970331

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-276219

(43)公開日 平成10年(1998)10月13日

(51)Int.Cl.<sup>®</sup>  
H 04 L 12/28  
12/66  
12/56  
H 04 Q 3/00

識別記号

F I  
H 04 L 11/20 E  
H 04 Q 3/00  
H 04 L 11/20 B  
102Z

審査請求 未請求 請求項の数4 OL (全 7 頁)

(21)出願番号 特願平9-81118

(22)出願日 平成9年(1997)3月31日

(71)出願人 000232047

日本電気エンジニアリング株式会社  
東京都港区芝浦三丁目18番21号

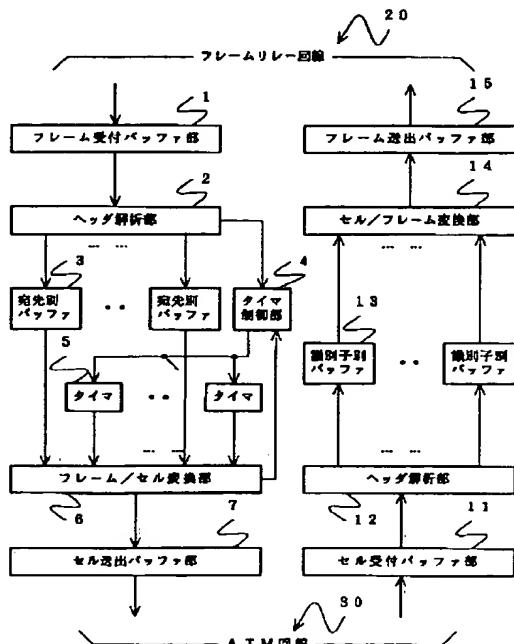
(72)発明者 小倉 佳文  
東京都港区芝浦三丁目18番21号 日本電気  
エンジニアリング株式会社内  
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 可変長フレーム・固定長セル変換回路

(57)【要約】

【課題】 短い長さの可変長フレームが多数入力したため、変換する際に空きエリアが多い連続する固定長セルを形成するような入力条件の場合でも、出力先であるATM回線での回線使用効率を向上できること。

【解決手段】 フレームリレー回線20から入力する可変長フレームのデータをヘッダ解析部2がヘッダを解析して同一送出方向の宛先別バッファ3に順次格納し、フレーム/セル変換部6が所定の格納量(例えば1セル分48バイト)以上に達した際に格納されているデータをATMセルに変換してATM回線30へ送出している。宛先別バッファ3に格納のデータが複数の可変長フレームによる場合、格納データは、取出され連結され結合用フレームヘッダを付加されて一つの可変長結合フレームに生成された後、固定長セルフォーマットに分割変換されてATMセルを形成し、空きエリアを低減してATM回線へ送出されている。



1

2

## 【特許請求の範囲】

【請求項1】 可変長フレームの伝送回線と固定長セルの伝送回線との間を接続して可変長フレームと固定長セルとのフォーマットを相互に変換する可変長フレーム・固定長セル変換回路において、前記固定長セルのデータに与えられた長さより短い長さの複数の同一方向宛先の可変長フレームのデータを受けた場合に、この複数の可変長フレームを一つの可変長結合フレームに、所定の結合用フレームヘッダを付加して纏め、この可変長結合フレームを少くとも一つの固定長セルにフォーマット変換して形成し送出する可変長フレームから固定長セルへの変換手段を備えることを特徴とする可変長フレーム・固定長セル変換回路。

【請求項2】 請求項1において、前記変換手段は、受けた前記可変長フレームを前記同一方向宛先毎に格納する宛先別バッファと、この宛先別バッファそれぞれに対応し、可変長フレームが格納された際に所定期限の計測を開始するタイマと、前記宛先別バッファの格納量を常時チェックし所定量に達した際には格納中の可変長フレーム全てを取出して一つの可変長フレームを生成する一方、前記タイマがタイムアウトに達した際にはタイムアウトのタイマに対応する前記宛先別バッファが格納中の可変長フレーム全てを取出して一つの可変長フレームを生成し、前記タイマの時限計測をクリアし、かつ生成する一つの可変長フレームが複数フレームのデータを結合した場合には所定の結合用フレームヘッダを付加し、この生成された一つの可変長フレームを所定の固定長セルにフォーマット変換するフレーム／セル変換部とを備えることを特徴とする可変長フレーム・固定長セル変換回路。

【請求項3】 可変長フレームの伝送回線と固定長セルの伝送回線との間を接続して可変長フレームと固定長セルとのフォーマットを相互に変換する可変長フレーム・固定長セル変換回路において、受けた前記固定長セルを解析し所定の結合用フレームヘッダを識別した場合、受けた固定長セルからこの結合用フレームヘッダを有する結合フレームを再生し、この結合フレームから元の複数の可変長フレームのデータに分割してフォーマット変換し再生して送出する、固定長セルを可変長フレームへ変換する変換手段を備えることを特徴とする可変長フレーム・固定長セル変換回路。

【請求項4】 請求項1または請求項2に記載の可変長フレームを固定長セルへ変換する変換手段と、請求項3に記載の固定長セルを可変長フレームへ変換する変換手段とを併せ備えることを特徴とする可変長フレーム・固定長セル変換回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、可変長フレームを伝送するフレームリレー回線と固定長セルを伝送するA

10

20

30

40

50

TM（非同期転送モード）回線との間を接続して可変長フレームと固定長セルとのフォーマットを相互に変換する可変長フレーム・固定長セル変換回路に関し、特に、ATM回線での回線使用効率を向上できる可変長フレーム・固定長セル変換回路に関する。

## 【0002】

【従来の技術】 従来、この種の可変長フレーム・固定長セル変換回路では、図5に示されるフレームリレー・ATM変換装置90のように、フレームリレー回線20とATM回線30との間に設けられ、フレームリレー回線20と接続し送受する可変長フレームを一時格納するフレームバッファ部91、ATM回線30と接続し送受する固定長セルを一時格納するセルバッファ部92、および可変長フレームを固定長セルに変換する一方で固定長セルを可変長フレームに変換するフレーム・セル変換部93を備えている。

【0003】 フレーム・セル変換部93は、フレームリレー回線20から入力するフレームリレーの可変長フレームを、図2(A)に示されるように、ATMの通信規約により、セルヘッダおよびこのセルヘッダに続く48バイトで構成される固定長のATMセルにフォーマット変換により形成し出力する。

【0004】 したがって、ヘッダ、ユーザデータ、およびFCS(フレームチェックシーケンス)で構成される可変長フレームが48バイト未満の場合、ATMセルは空きエリアをもってATM回線上で転送される。

【0005】 一方、可変長フレームが48バイトを超える場合、図2(B)に示されるように、フレームリレーの可変長フレームが48バイト毎に分割されセルヘッダを付加した複数のATMセルが形成され出力される。このフレームに対する最後のATMセルは通常空きエリアを有する。

【0006】 他方、分割されたATMセルを受けた場合には、一つのフレームリレーに纏まとった際に、元の長い可変長フレームが再生される。

## 【0007】

【発明が解決しようとする課題】 上述した従来の可変長フレーム・固定長セル変換回路は、フレームリレー回線から入力する一つの可変長フレームを一つまたは複数の固定長セルに形成してATM回線を転送するので、一つの固定長セルに対して短い長さの可変長フレームが多く入りし、空きエリアの多い固定長のATMセルがATM回線上を連続して転送される場合には、ATM回線の使用効率が低下するという問題点がある。

【0008】 本発明の課題は、上記問題点を解決して、短い長さの可変長フレームが多数入力したため、変換する際に空きエリアが多い連続する固定長セルを形成するような入力状態の場合でも、ATM回線での回線使用効率を向上できる可変長フレーム・固定長セル変換回路を提供することである。

## 【0009】

【課題を解決するための手段】本発明による可変長フレーム・固定長セル交換回路は、可変長フレームの伝送回線と固定長セルの伝送回線との間を接続して可変長フレームと固定長セルとのフォーマットを相互に変換する可変長フレーム・固定長セル交換回路において、前記固定長セルのデータに与えられた長さより短い長さの複数の同一方向宛先の可変長フレームのデータを受けた場合に、この複数の可変長フレームを一つの可変長結合フレームに、所定の結合用フレームヘッダを付加して纏め、この可変長結合フレームを少くとも一つの固定長セルにフォーマット変換して形成し送出する可変長フレームから固定長セルへの変換手段を備えている。

【0010】また、本発明による可変長フレーム・固定長セル交換回路は、受けた前記固定長セルを解析し所定の結合用フレームヘッダを識別した場合、受けた固定長セルからこの結合用フレームヘッダを有する結合フレームを再生し、この結合フレームから元の複数の可変長フレームのデータに分割してフォーマット変換し再生して送出する、固定長セルを可変長フレームへ変換する変換手段を備えている。

【0011】上記手段により、フレームリレー回線から、少くとも、同一方向宛先の短い長さの可変長フレームが連続して入力した場合、複数のフレームを空きエリアなしで連続した一つの長い長さの可変長フレームが形成されるので、この可変長フレームをATMセルに変換し送出した場合、ATM回線における空きエリアの発生が低減する。

## 【0012】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0013】図1は本発明の実施の一形態を示す機能ブロック図である。図1では、本発明に関わる部分以外の機能については図示および説明を省略する。

【0014】図1に示された可変長フレーム・固定長セル交換回路では、フレームリレー回線20からATM回線30へ変換する変換回路に、フレーム受付バッファ部1、ヘッダ解析部2、複数の宛先別バッファ3、タイマ制御部4、複数のタイマ5、フレーム/セル変換部6およびセル送出バッファ部7が設けられているものとする。

【0015】また、ATM回線30からフレームリレー回線20へ変換する変換回路に、セル受付バッファ部11、ヘッダ解析部12、複数の識別子別バッファ13、セル/フレーム変換部14およびフレーム送出バッファ部15が設けられているものとする。

【0016】フレーム受付バッファ部1は、フレームリレー回路20から、図2に示されるようなヘッダ、ユーザデータおよびFCSを含む可変長フレームを受付けるものとする。

【0017】ヘッダ解析部2は、フレーム受付バッファ部1で受けた可変長フレームのヘッダを解析し、受けた可変長フレームのデータを宛先アドレスに基づく送出先別に宛先別バッファ3へ格納し、この格納通知に格納先の宛先別バッファ3情報を含めてタイマ制御部4へ通知するものとする。

【0018】タイマ制御部4は、送出先別に設けられる複数の宛先別バッファ3それぞれに対応して設けられるタイマ5に、ヘッダ解析部2からの格納通知に基づいて所定の時限計測を開始し、フレーム/セル変換部6からのクリア通知で通知された送出先別に対応するタイマ5をクリアするものとする。

【0019】フレーム/セル変換部6は、宛先別バッファ3を監視し、ATMセルの48バイトを所定量としてデータ格納量が48バイト以上に達した際に格納されている全ての可変長フレームのデータを取出すと共に取出した宛先別およびクリア通知をタイマ制御部4へ通知するものとする。

【0020】次いで、取出したデータの可変長フレームが一つの場合、フレーム/セル変換部6は、従来同様の手順で分割したATMセルを形成することによりフォーマット変換して出力するものとする。また取出したデータが複数の可変長フレームによる場合、フレーム/セル変換部6は、図2(C)に示されるように、結合フレームであることを示す結合用フレームヘッダを先頭に付加し、各FCSを省いて全体のFCSを改めて追加した結合フレームのフォーマットを形成することにより変換出力するものとする。

【0021】セル送出バッファ部7は、フレーム/セル変換部6から送られたATMセルを一時格納し所定のプロトコルに基づいて順次、ATM回線30へ送出するものとする。

【0022】一方、ATM回線30から固定長のATMセルの入力する場合、セル受付バッファ部11が入力を受付けるものとする。

【0023】ヘッダ解析部12は、セル受付バッファ部11で受けたATMセルのセルヘッダを解析し、識別子別に識別子別バッファ13へ格納すると共にATMセルの受け付け格納を通知するものとする。

【0024】この受け付け格納の通知に際し分割されたデータに対しては全てのATMセルの受け付け格納が通知されるものとする。またヘッダ解析部12は、結合用フレームヘッダを解析して結合フレームを判定し通知するものとする。

【0025】セル/フレーム変換部14は、識別子別バッファ13を監視し、結合用フレームヘッダが含まれず、分割されたデータに対するATMセルの全てを受け付け格納したという通知のみを受けた際には格納されたATMセルのデータを取出して一つの可変長フレームにフォーマット変換して再生し出力する従来の動作を行うも

のとする。

【0026】一方、結合フレームの通知を、ATMセルの全てを受け格納したという通知と一緒に受けた場合、セル／フレーム変換部14は、図2(C)に示されるように、受けたデータを一旦、一つの結合フレームにフォーマット変換して再生し、次いで各可変長フレームのデータにFCSを付加し直した複数の可変長フレームに分割して再生し出力するものとする。

【0027】フレーム送出バッファ部15は、セル／フレーム変換部14から送られた可変長フレームを一時格納し所定のプロトコルに基づいて順次、フレームリレー回線20へ送出するものとする。

【0028】次に、図1に図3を併せ参照して、フレームリレー回線20からATM回線30へ変換する変換回路の動作手順について説明する。

【0029】フレーム受付バッファ部1がフレームリレー回線20から可変長フレームの入力を受付け(手順101)、ヘッダ解析部2がこの受けた可変長フレームのヘッダを宛先に基づいて送出先を解析し(手順102)、同一送出先のデータを格納する宛先別バッファ3へ受けた可変長フレームのデータを書き込む(手順103)と共に、格納先の宛先別バッファ3情報を含むデータの格納通知をタイマ制御部4へ通知する。

【0030】タイマ制御部4は、格納先の宛先別バッファ3に対応するタイマ5の稼働状態を調査し(手順104)、タイマ5が停止中の場合(手順105のNO)、タイマ5を起動し(手順106)、時限の計測を開始させる。一方、上記手順105が“YES”でタイマ5が可動中の場合にはこの手順106は省略される。

【0031】他方、フレーム／セル変換部6は、常時、宛先別バッファ3に格納されたデータのフレーム長を監視しており(手順107)、各宛先別バッファ3において格納されているフレーム長が一つのATMセルを構成する48バイト未満の場合には(手順108のYES)、次の可変長フレームの入力を受け(手順109)、またはタイマ5のタイムアウト(手順110)を待つ。

【0032】上記手順109が“YES”で次の可変長フレームの入力があった場合、手順は手順102へ戻る。また上記手順110が“YES”で対応するタイマ5がタイムアウトになった場合、フレーム／セル変換部6は、48バイト未満で空きエリアを有する固定長セルにフォーマット変換し、ATMセルを形成して送出する(手順111)と共に、対応するタイマ5をクリアする(手順112)。

【0033】手順111では、詳細が図示されていないが、格納データが一つのフレームの場合のほか、小さな複数フレームに対するデータが格納されている場合もある。一つのフレームの場合には、図2(A)に示されるような従来同様のATMセルが形成される。

【0034】一方、複数フレームのデータが格納されている場合には結合用フレームヘッダを附加してATMセルを形成する。結合用フレームヘッダを附加したために二つのATMセルが形成される場合も生じる。

【0035】上記手順108が“NO”で48バイト以上の場合、フレーム／セル変換部6は該当するタイマ5にクリア指示を与える(手順120)と共に格納データの複数フレームをチェックする(手順121)。

【0036】この手順121が“YES”で複数フレームの場合、フレーム／セル変換部6は、図2(C)に示されるように、結合用フレームヘッダを作成しこの結合用フレームヘッダに各可変長フレームのデータを連結して結合フレームを生成し、この結合フレームを所定のATMセルに分割形成して送出する(手順122)。

【0037】一方、手順121が“NO”で单一フレームの場合、フレーム／セル変換部6は、従来手順に基づいてデータを分割し、所定のATMセルに形成して送出する(手順123)。

【0038】次に、図1に図4を併せ参照して、ATM回線30からフレームリレー回線20へ変換する変換回路の動作手順について説明する。

【0039】セル受付バッファ部11がセル回線30から固定長セルの入力を受付け(手順201)、ヘッダ解析部12がこの受けた固定長セルのヘッダを識別子に基づいて解析し該当する識別子に対する識別子別バッファ13へ受けた固定長セルのデータを格納すると共に所定位置の結合用フレームヘッダを調査解析して(手順202)、結合フレームか否かを判断する(手順203)。

【0040】この手順203が“YES”で結合フレームの場合、セル／フレーム変換部14は、同一識別子別バッファ13へ格納される固定長のATMセルのシケンス番号をチェックし(手順204)、所定の全てが入力格納された際には(手順205にYES)、格納されたデータを連結して元の結合フレームに復元した後、元の複数の可変長フレームに分割して(手順206)、各可変長フレームを再生し出力している(手順207)。

【0041】上記手順203が“NO”で单一フレームの場合、セル／フレーム変換部14は、従来と同一手順の処理を行う(手順221)。

【0042】また、上記手順205が“NO”でまだ全てのATMセルが入力受けられていない場合、手順は最初の手順201に戻る。

【0043】上記説明では、ヘッダ解析部が宛先アドレスに基づいて宛先別バッファに格納するとしたが、伝送装置以外、交換装置のインタフェース部の場合には、出力方向の回線対応にバッファを設けてもよい。

【0044】また、結合フレームの形成に際し、可変長フレームのヘッダおよびユーザデータを連結するように説明したが、フレームのヘッダも共通データは結合用フ

7  
レームヘッダに含め、全体の可変長フレームの長さを短縮することができる。

【0045】また、上記説明では、フレームリレー回線から入力する全ての可変長フレームを一旦宛先別バッファに格納するとして図示し説明したが、最初にフレーム長を調べ、48バイト未満の可変長フレームのみを宛先別バッファに格納して結合フレームを形成し、48バイト以上の可変長フレームは従来の動作手順により処理することとしてもよい。

【0046】また、上記説明では、フレームリレー回線から入力する可変長フレームが各宛先別バッファで48バイト以上の場合は直ちにATMセルに変換形成すると説明したが、この容量値の設定は、一つのATMセルを構成する48バイトを超えた数値、例えば二つの96バイトとすることもできる。

【0047】これらのように、機能動作を図面のブロックおよび手順に基づいて説明したが機能配備および動作手順については上記機能を満たす限り自由であり、上記説明が本発明を限定するものではない。

【0048】

【発明の効果】以上説明したように本発明によれば、フレームリレー回線から入力した可変長フレームのデータを宛先別バッファに一旦格納し、一つのATMセルフォーマットで空きエリアを生じるような48バイト未満の可変長フレームは複数個を連結して一つの可変長フレームのフォーマットを形成した後、従来の手順により複数のATMセルに分割したフォーマットを形成してATM回線へ送出する可変長フレーム・固定長セル変換回路が得られる。

【0049】この構成によって、フレームリレー回線か\*

\*ら、同一方向送出先の短い長さの可変長フレームが連續して入力した場合、複数のフレームを空きエリアなしで連續した一つの長い長さの可変長フレームに形成できるので、この可変長フレームをATMセルに変換した場合、ATM回線における空きエリアの発生を低減させることができる。

#### 【図面の簡単な説明】

【図1】本発明の実施の一形態を示す機能ブロック図である。

【図2】本発明の実施の一形態を示すデータフォーマットの変換説明図である。

【図3】本発明の実施の一形態を示すフレーム／セル変換手順の流れ図である。

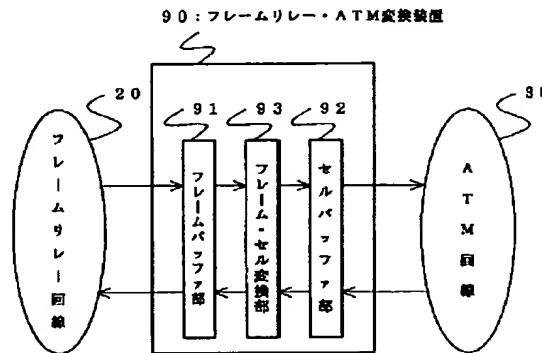
【図4】本発明の実施の一形態を示すセル／フレーム変換手順の流れ図である。

【図5】従来の一例を示す機能ブロック図である。

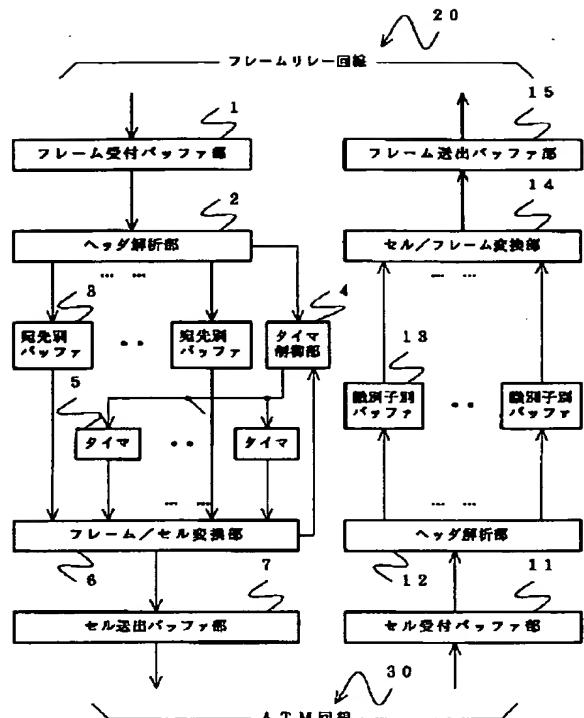
#### 【符号の説明】

- |       |             |
|-------|-------------|
| 1     | フレーム受付バッファ部 |
| 2、 12 | ヘッダ解析部      |
| 20    | 宛先別バッファ     |
| 3     | タイム制御部      |
| 4     | タイム         |
| 5     | フレーム／セル変換部  |
| 6     | セル送出バッファ部   |
| 7     | セル受付バッファ部   |
| 11    | 識別子別バッファ    |
| 13    | セル／フレーム変換部  |
| 14    | フレーム送出バッファ部 |
| 15    | フレームリレー回線   |
| 20    | ATM回線       |
| 30    | *           |

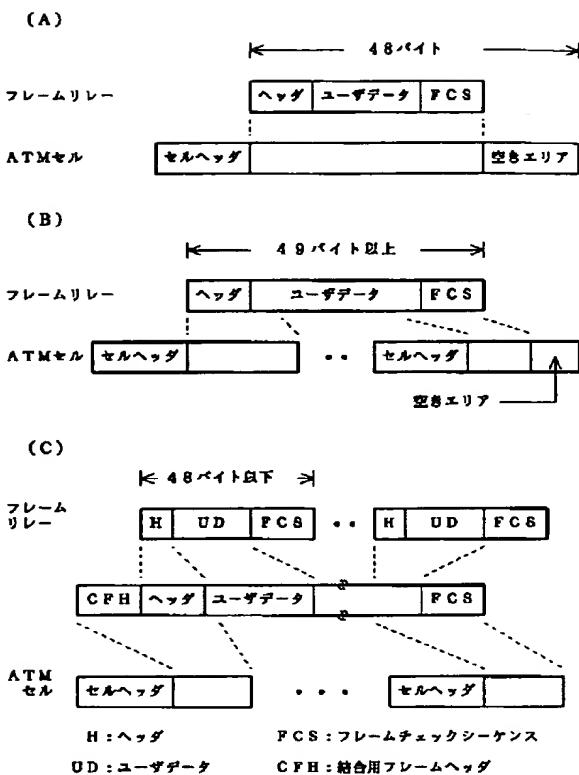
【図5】



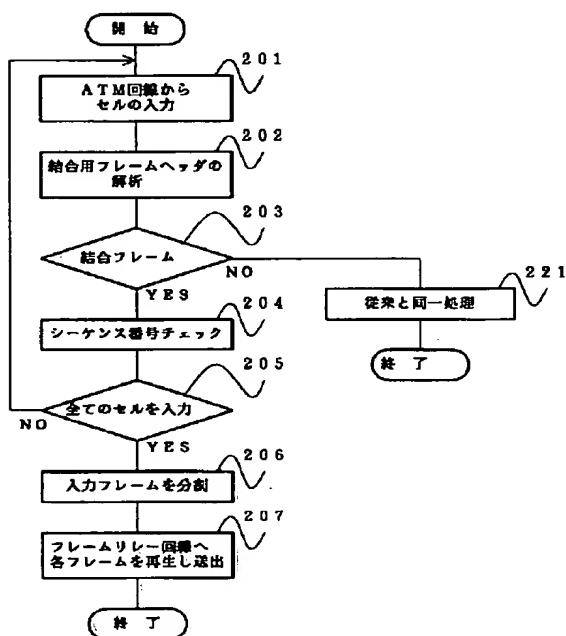
【図1】



【図2】



【図4】



【図3】

